

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 03 日
Application Date

申請案號：092130610
Application No.

申請人：矽品精密工業股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 12 月 31 日
Issue Date

發文字號：09221317820
Serial No.

申請日期：	IPC分類
申請案號： 92130610	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	半導體封裝件
	英 文	SEMICONDUCTOR PACKAGE
二、 發明人 (共5人)	姓 名 (中文)	1. 江政嘉
	姓 名 (英文)	1. CHIAN, CHIANG-CHENG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台中市北屯區舊社里碧柳一巷4弄16號
	住居所 (英 文)	1. No. 16, Alley 4, Lane 1, Bee-Liu, Jou-Ser Li, Pei-Tun District, Taichung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 矽品精密工業股份有限公司
	名稱或 姓 名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. LIN, WEN-PO



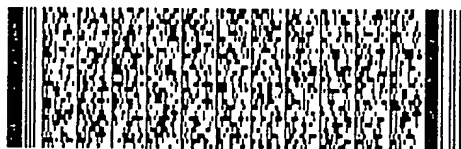
17510矽品.prd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	2. 黃致明
	姓 名 (英文)	2. HUANG, CHIH-MING
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 台中縣大甲鎮甲后路126巷9號
	住居所 (英 文)	2. No. 9, Lane 126, Chia-Hou Rd., Ta-Chia Chen, Taichung Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

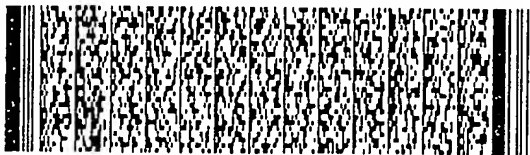


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	3. 張錦煌 4. 蕭承旭
	姓名 (英文)	3. CHANG, CHIN-HUANG 4. HSIAO, CHENG-HSU
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中文)	3. 台中縣太平市宜祥街13巷7弄18號 4. 南投市建國路226號
	住居所 (英文)	3. No. 18, Alley 7, Lane 13, Yi-Hsiun St., Tai-Ping City, Taichung Hsien, Taiwan, R.O.C. 4. No. 226, Chien-Kuo Rd., Nan-tou, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

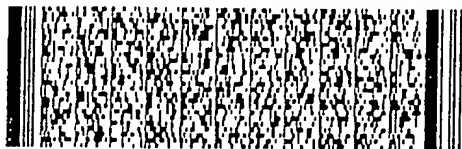


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	5. 蔡敏南
	姓 名 (英文)	5. TSAI, MIN NAN
	國 籍 (中英文)	5. 中華民國 TW
	住居所 (中 文)	5. 台中縣沙鹿鎮興安里斗潭路356-4號
	住居所 (英 文)	5. No. 356-4, Doutan Rd., Shalu Township, Taichung County 433, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：半導體封裝件)

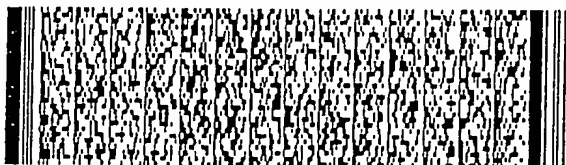
一種半導體封裝件，係包含：兩基板；至少兩半導體晶片，該半導體晶片係分別安置於該基板的置晶區上且與該基板上之電性連接墊電性連接；分別形成於該兩基板上以包覆該兩半導體晶片之封裝膠體，以形成兩封裝單元；以及一分別將該兩封裝單元收容於其內的封裝膠體，其中，該兩基板之長邊係皆垂直於該外殼體之長邊，且該兩基板之電性連接墊係分別外露出該外殼體之同一外表面或兩相對外表面，從而可增加該半導體封裝件之晶片容量與運作功能，並減省該基板之材料成本。

本案代表圖：第 2D圖

110 基板單元	120 半導體晶片
130 被動元件	113 電性連接墊
140 鐳線	150 封裝膠體
150' 封裝膠體	160 外殼體

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE)

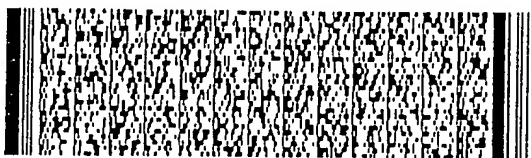
A semiconductor package includes first and second substrates respectively having a plurality of first and second terminals, first chip and second chip respectively mounted on the first and second substrates, an encapsulant encapsulating the first and second chips, and an housing encasing the first and second substrates and the encapsulated first and second chips therein. The first and



四、中文發明摘要 (發明名稱：半導體封裝件)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE)

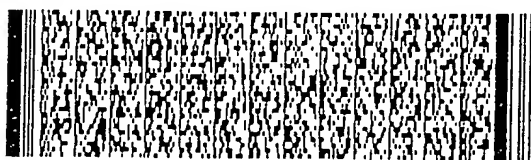
second chips are electrically connected to the first and second terminals. Portions of the first and second terminals are exposed to a common exterior surface of the housing and are arranged substantially diagonally thereon, and each of the first and second substrates is oriented in a manner that a longitudinal direction thereof is substantially perpendicular to a longitudinal



四、中文發明摘要 (發明名稱：半導體封裝件)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE)

direction of the housing, alternatively, the portions of the first and second terminals are respectively exposed to opposite exterior surfaces of the housing and are arranged mirror symmetrically to each other, thereby providing a semiconductor package with a low cost substrate and a maximum capacity of chips.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

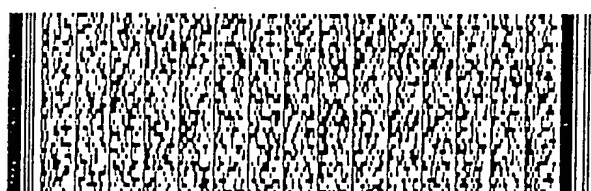
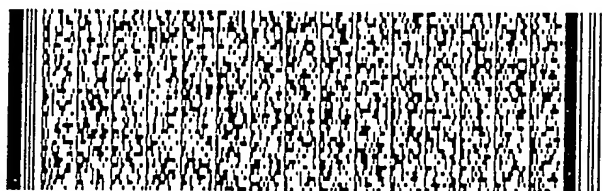
[發明所屬之技術領域]

本發明係關於一種半導體封裝件，特別是關於一種用於封裝記憶體晶片之卡式電路模組，例如多媒體卡 (Multi-Media Card, MMC)。

[先前技術]

多媒體卡 (Multi-Media Card, MMC) 係指一種高容量的快閃記憶體電路模組，該電路模組可耦接至一電子資訊平臺，例如個人電腦、個人數位助理裝置 (Personal Digital Assistant, PDA)，數位照相機、多媒體瀏覽器，以儲存各種數位型式之多媒體資料，例如數位相片資料、視訊資料、或音訊資料。目前，多媒體卡之規格基本上符合多媒體卡同盟 (Multimediacard Association, MMCA) 所制定之標準。

多媒體卡 (Multi-Media Card, MMC) 封裝件為一種小型積體電路 (Integrated Circuit) 裝置，具有記憶體晶片 (Memory Chip) 及 / 或控制晶片 (Controller Chip) 以儲存及處理有關數位圖片及影像資料等多媒體資訊之功能，其中，該記憶體晶片及 / 或控制晶片係載接至一晶片承載件 (Chip Carrier)，如基板 (Substrate) 或導線架 (Leadframe) 上，藉之以使晶片電性連接至外界裝置而能進行運作並發揮晶片功能。習知結構可參見美國專利第 5, 677, 524 號 "CHIP CARD AND A METHOD FOR PRODUCING IT"；美國專利第 6, 040, 622 號 "SEMICONDUCTOR PACKAGE USING TERMINALS FORMED ON A CONDUCTIVE LAYER OF A



五、發明說明 (2)

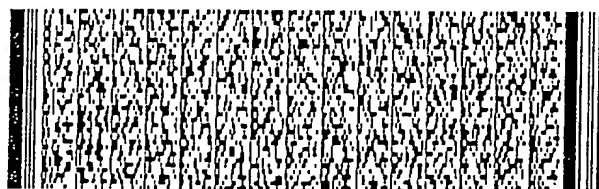
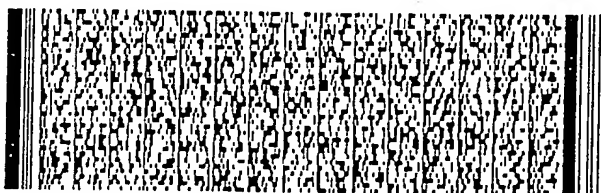
CIRCUIT BOARD"; 及日本專利 62-239554號 "IC CARD TYPE EP-ROM STRUTURE"所揭示者。

第 1A至 1C圖即顯示一習知之多媒體卡的製作過程。此製程係例如用以製作長寬尺寸為標準之 $32\text{mm} \times 24\text{mm} \times 1.4\text{mm}$ 的多媒體卡。

首先請參閱第 1A圖，此習知製程的初始步驟為預製一連串之基板 10，且每一基板 10上係預先劃分出至少一置晶區 11和複數個被動元件安置區 12，且設置有複數個電性連接墊 13，此些電性連接墊 13係從基板 10的正面直通背面，以作為最後完成之多媒體卡的外接電性連接點。由於此製程係用以製造長寬尺寸為標準之 $32\text{mm} \times 24\text{mm} \times 1.4\text{mm}$ 的多媒體卡，因此上述之基板 10的長寬尺寸係配合此標準尺寸而設計成 $30.25\text{mm} \times 21.25\text{mm}$ 。

如第 1B圖，於該被動元件安置區 12上黏接電阻器、電容器或電感器 30，接著，進行一置晶程序，藉以於基板 10上的置晶區 11上安置至少一半導體晶片 20；再採用例如鐳線 (Wire Bond) 技術施加一組例如金線之鐳線 40，藉此而將晶片 20電性藕接至基板 10上的電性連接墊 13；接著進行一封裝膠體製程，藉此而形成一封裝膠體 50於基板 10上，用以包覆基板 10上所安置的晶片 20及鐳線 40。

再如第 1C圖所示，於基板 10上覆蓋一披覆有黏膠層 51之外殼體 60，以將整個基板 10及其上之封裝膠體 50嵌入並黏附至該外殼體 60所形成之容納空間 61中。此即完成多媒體卡的製程。第 1D圖即顯示基板 10嵌入至該外殼體 60後的



五、發明說明 (3)

底視結構示意圖。

由於上述之製程係用於製造長寬尺寸為 $32\text{mm} \times 24\text{mm}$ 的多媒體卡，因此上述之外殼體 60 的長寬尺寸即為 $32\text{mm} \times 24\text{mm}$ ，且其中之容納空間 61 的長寬尺寸即配合基板 10 的長寬尺寸而亦為 $30.25\text{mm} \times 21.25\text{mm}$ 。

然而上述之製程之缺點在於其所採用的基板 10 長寬尺寸過大，遠超過晶片 20 的長寬尺寸，因此製作成本頗高，單片成本即高達 NT\$20.0，頗不符合成本經濟效益，亦形成商業化的限制；此外，對於現有規格下之外殼體 60 而言，習知技術顯然亦浪費了過多之空間，例如第 1C 圖所示之收納空間 61，即形成晶片配置空間上的浪費，實不符當前積集化 (Integration) 之半導體發展趨勢，亦大幅降低了多媒體卡的運作效能，有待更新式的半導體裝置改良之。

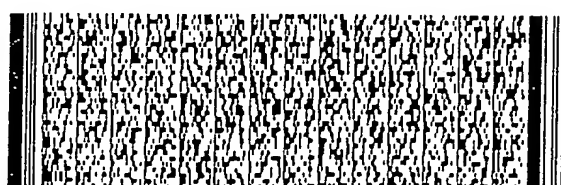
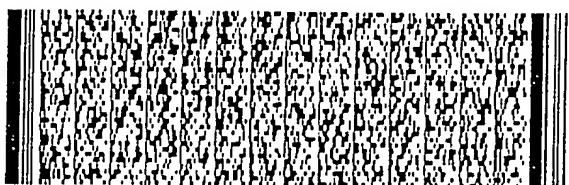
[發明內容]

鑒於以上所述習知技術之缺點，本發明之主要目的便在提供一種例如多媒體卡之半導體封裝件，通過改變基板的長寬尺寸及其在外殼體內的位置定位，以增加該多媒體卡的記憶容量與運作功能。

本發明之又一目的即在提供一種例如多媒體卡之半導體封裝件，以增加該多媒體卡的內置晶片數目。

本發明之再一目的即在提供一種例如多媒體卡之半導體封裝件，以降低基板之生產成本。

本發明之半導體封裝件係包含：兩基板，且每一基板

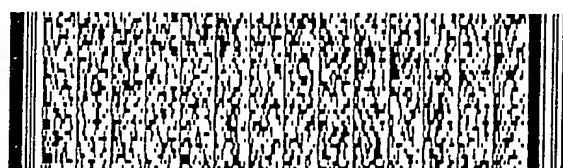


五、發明說明 (4)

係包括一置晶區及複數個設置於該基板上之電性連接墊；至少兩半導體晶片，該半導體晶片係分別安置於該基板的置晶區上且與該基板之電性連接墊電性連接；分別形成於該兩基板上且分別包覆該半導體晶片之封裝膠體，以形成兩封裝單元；以及一外殼體，該外殼體係將該兩封裝單元收容於其內；其中，該兩基板之長邊係皆垂直於該外殼體之長邊，且該兩基板之電性連接墊係分別外露出該外殼體之同一外表面且呈對角設置。

本發明之半導體封裝件係可另包含：兩基板，且每一基板係包括一置晶區及複數個設置於該基板上之電性連接墊；至少兩半導體晶片，該半導體晶片係分別安置於該基板的置晶區上且與該基板之電性連接墊電性連接；分別形成於該兩基板上且分別包覆該半導體晶片之封裝膠體，以形成兩封裝單元；以及一外殼體，該外殼體係將該兩封裝單元收容於其內；其中，該兩基板之長邊係皆垂直於該外殼體之長邊，且該兩基板之電性連接墊係分別外露出該外殼體之上下兩相對外表面且呈對稱設置。

本發明之半導體封裝件的特點即在採用一陣列式基板模片而以成批方式製作出複數個封裝件，再依外殼體之規格而將最多數量之封裝單元嵌入至一外殼體中，相較於習知技術，由於本發明之卡式電路模組可採用長寬尺寸更小的基板，例如為 $10\text{mm} \times 18\text{mm}$ 的基板，來作為晶片載具，而非如習知技術之 $21.25\text{mm} \times 30.25\text{mm}$ 的基板；且該小型化的基板係可採陣列方式而成批製作，將可顯著地降低生產成



五、發明說明 (5)

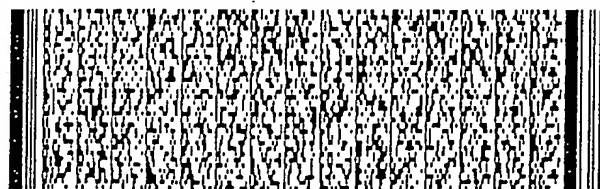
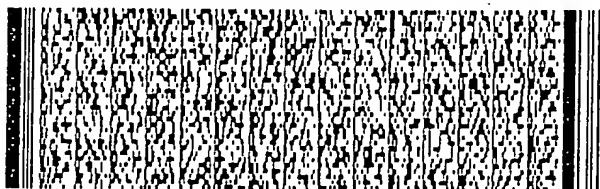
本，且於具體實施上，上述之 $10\text{mm} \times 18\text{mm}$ 的基板的單片成本僅大致為NT\$4.0，而習知技術所採用之

$21.25\text{mm} \times 30.25\text{mm}$ 的基板的單片成本則大致為NT\$20.0。另外，通過改變基板的長寬尺寸及其在外殼體內的定位與內置半導體晶片的堆疊設置，亦可使每一多媒體卡可容置之記憶體晶片數量達到習知之多媒體卡之兩倍至四倍，充分解決了習知技術之問題。

[實施方式]

以下即配合所附圖式中的第2A至2E圖，詳細揭露說明本發明之卡式電路模組之實施例。於以下所揭露之實施例中，本發明之卡式電路模組係為一用以製作平面尺寸為 $32\text{mm} \times 24\text{mm}$ 的多媒體卡(Multi-Media Card, MMC)；但須注意的一點是，本發明的基本構想亦可用來製做其他功能或其他尺寸的電路卡。此外須注意的一點是，第2A至2E圖均為簡化之示意圖式，其僅係以示意方式說明本發明之基本構想；因此其僅顯示與本發明有關之元件，且所顯示之元件並非以實際實施時之數目、形狀、及尺寸比例繪製，實際實施時之數目、形狀、及尺寸比例將可為一隨意性之設計選擇，且其元件佈局形態亦可能更為複雜。

首先參閱第2A圖，本發明之卡式電路模組係先預製一陣列式基板模片100，該陣列式基板模片100上係預先劃分出複數個基板單元110。其中每一個基板單元110上係預先劃分出至少一置晶區111和複數個被動元件安置區112(此被動元件安置區112可為選擇性)，且設置有複數個電性連



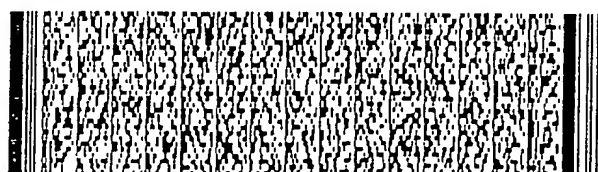
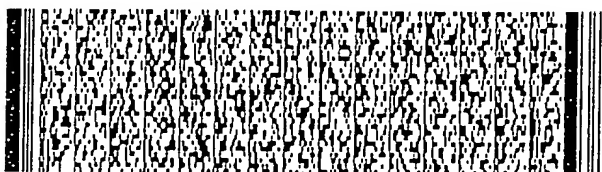
五、發明說明 (6)

接墊 113。此些電性連接墊 113係從基板單元 110的正面直通背面，以作為最後完成之卡式電路模組的外接電性連接點。

上述之陣列式基板模片 100的長寬尺寸係設計成 $56\text{mm} \times 56\text{mm}$ ，且其整體面積係預先劃分成 15個 (5×3) 長寬尺寸為 $10\text{mm} \times 18\text{mm}$ 的基板單元 110。

接著請參閱第 2B圖，進行一置晶程序，藉以於陣列式基板模片 100上之各個基板單元 110的置晶區 111上安置兩堆疊之半導體晶片 120(第 2B圖僅顯示一個基板單元 110作為代表)；接著，並採用例如鐸線技術來分別施加兩組鐸線 140，例如為金線，藉此而將該兩堆疊之晶片 120電性藕接至基板單元 110上的電性連接墊 113；此外，若晶片 120有需要搭配外接之被動元件 130，亦可將所需之被動元件 130於置晶程序前，預先藕接至各個基板單元 110上的被動元件安置區 112。但若晶片 120之內部電路已整合所需之被動元件，則便不需進行此步驟。

接著如第 2C圖所示，進行一封裝膠體製程(第 2C圖亦僅以一基板單元 110為代表)，藉此而於該陣列式基板模片上形成一封裝膠體 150，用以同時封裝該陣列式基板模片上之各個基板單元 110上所安置的半導體晶片 120。接著進行一切單程序，藉此而將該封裝膠體 150沿該陣列式基板模片 100上的複數個基板 110的分界線而切割成複數個如第 2C圖所示之封裝單元；其中每一個封裝單元即以原先該陣列式基板模片上的一個基板單元 110作為提供晶片 120承載



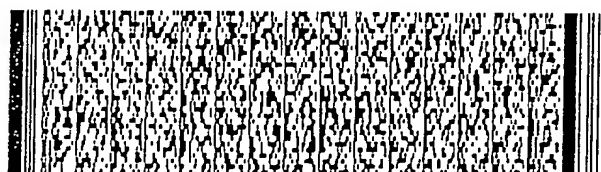
五、發明說明 (7)

之基板。由於此實施例中係將每一個基板單元 110 的長寬尺寸定為 $10\text{mm} \times 18\text{mm}$ ，因此切單後的每一個封裝單元的長寬尺寸亦為 $10\text{mm} \times 18\text{mm}$ 。

接著如第 2D 圖所示，配合卡式電路模組之通用規格，而選取前述切單後之封裝單元，於每兩個封裝單元上加蓋一矩形外殼體 160，其方式為將該兩個封裝單元嵌入於該外殼體 160 中所形成之容納空間；此外殼體 160 可預製成一零組件，或於製程中直接以射出成型的方式形成於該兩封裝單元上。

如此，即完成本發明第一實施例之多媒體卡的製程，如第 2D 圖之剖視圖與第 2E 圖之底視圖所示，該多媒體卡係包括兩基板 110，該兩基板 110 皆呈一近似矩形，且每一基板 110 均包括一置晶區及複數個設置於其上之電性連接墊 113；兩半導體晶片 120，該半導體晶片 120 係分別安置於該基板的置晶區上且與該基板 110 之電性連接墊 113 電性連接；分別形成於該兩基板 110 上且包覆該半導體晶片 120 之封裝膠體 150；以及一矩形外殼體 160，該外殼體 160 係收容該兩基板 110、半導體晶片 120 及封裝膠體 150、150' 於其內；其中該兩基板 110 之長邊皆與該外殼體 160 之長邊垂直，而該兩基板 110 之電性連接墊 113 係分別暴露於該外殼體 160 之同一外表面且呈對角設置，以達成該多媒體卡於同一表面的雙用插置功能，並可加倍該多媒體卡之晶片記憶容量。

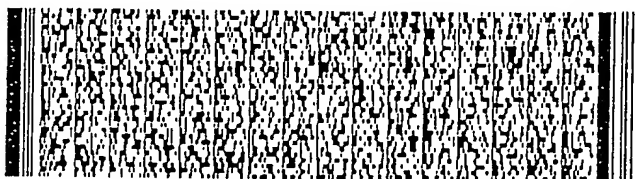
第 3A 圖及第 3B 圖所示為本發明之多媒體卡之第二實施



五、發明說明 (8)

例。為方便說明本實施例中與第一實施例相同之元件仍引用相同標號，該多媒體卡之結構與第一實施例之多媒體卡大致相同，亦為配合卡式電路模組之通用規格，而選取兩切單後之封裝單元，並於該兩封裝單元上加蓋一矩形外殼體，係包括兩基板 110，該基板 110 皆呈近似矩形，且每一基板 110 包括一置晶區，及複數個設置於其上之電性連接墊 113；至少兩半導體晶片 120，該半導體晶片 120 係分別安置於該基板的置晶區上且與該基板 110 之電性連接墊 113 電性連接；分別形成於該兩基板 110 上且包覆該半導體晶片 120 之封裝膠體 150；以及一矩形外殼體 160，該外殼體 160 係收容該兩基板 110、半導體晶片 120 及封裝膠體 150 於其內，其中，該兩基板 110 之長邊係垂直於該外殼體 160 之長邊，唯，本實施例之多媒體卡之該兩基板之電性連接墊 113 係分別暴露於該外殼體 160 之上下相對兩外表面，且呈相互鏡像對稱，以達成該多媒體卡之兩相對表面的雙用插置功能，並可加倍該多媒體卡之晶片記憶容量。

相較於習知技術，由於本發明之卡式電路模組可採用長寬尺寸僅為 10mm*18mm 的基板來作為晶片載具，而非習知技術之 21.25mm*30.25mm 的基板，而可充分運用現有規格之外殼體尺寸，進而令該外殼體之空間運用達至最大，既可減省基板材料與成本，復可使該外殼體所容置的晶片數量增加，提升該卡式電路模組之雙用功能與運作效能，且亦由於此小型化的基板可用陣列方式來成批製作，因此亦可顯著地降低整體之生產成本；於具體實施上，上述之



五、發明說明 (9)

10mm*18mm的基板單元的單片成本僅大致為 NT\$4.0，而習知技術所採用之 21.25mm*30.25mm的基板單元的單片成本則大致為 NT\$20.0，遠高於本發明之花費；此外，通過改變基板的長寬尺寸及其在外殼體內的定位與內置半導體晶片的堆疊設置，可使每一多媒體卡容置之記憶體晶片數量達到習知多媒體卡的兩倍至四倍之多，充分解決了習知技術之限制。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之實質技術內容的範圍。本發明之實質技術內容係廣義地定義於下述之申請專利範圍中。若任何他人所完成之技術實體或方法與下述之申請專利範圍所定義者為完全相同、或是為一種等效之變更，均將被視為涵蓋於此專利範圍之中。



圖式簡單說明

[圖式簡單說明]

第 1A至 1C圖 (先前技術) 為製程示意圖，用以顯示一習知之多媒體卡的各個程序步驟；

第 1D圖為該習知多媒體卡的底視圖；

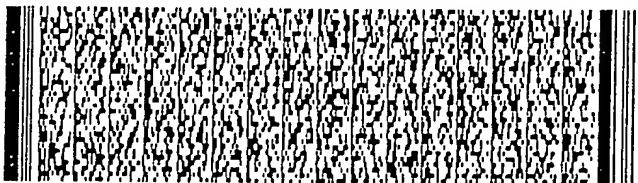
第 2A至 2D圖為第一實施例之製程示意圖，用以顯示本發明之多媒體卡之製作步驟；

第 2E圖為該多媒體卡之第一實施例的底視圖；

第 3A圖為本發明第二實施例之多媒體卡的剖視圖；以及

第 3B圖為本發明第二實施例之多媒體卡的底視圖。

10	基板	11	置晶區
12	被動元件安置區	13	電性連接墊
20	半導體晶片	30	鐳線
40	被動元件	50	封裝膠體
60	外殼體	61	容納空間
100	陣列式基板模片	110	基板單元
111	置晶區	112	被動元件安置區
113	電性連接墊	120	半導體晶片
130	被動元件	140	鐳線
150	封裝膠體	150'	封裝膠體
160	外殼體		



六、申請專利範圍

1. 一種半導體封裝件，係包含：

兩基板，每一基板係均包括一置晶區及複數個設置於該基板上之電性連接墊；

至少兩半導體晶片，係分別安置於該兩基板的置晶區上且與其電性連接墊電性連接；

兩封裝膠體，係分別形成於該兩基板上且包覆該半導體晶片，以分別形成兩封裝單元；以及

外殼體，係將該兩封裝單元收容於其內；

其中，該兩基板之長邊係皆與該外殼體之長邊垂直，且該兩基板之電性連接墊係分別外露出該外殼體之同一外表面且呈對角設置。

2. 如申請專利範圍第1項之半導體封裝件，其中，該外殼體之長寬尺寸大致為32mm*24mm。

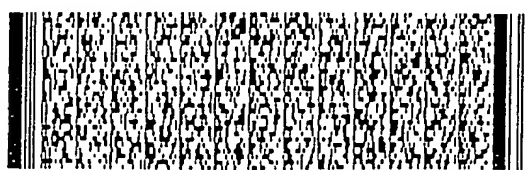
3. 如申請專利範圍第1項之半導體封裝件，其中，該基板的長寬尺寸大致為10mm*18mm。

4. 如申請專利範圍第1項之半導體封裝件，其中，該基板之置晶區外係另形成有複數個被動元件安置區。

5. 如申請專利範圍第1項之半導體封裝件，其中，該半導體晶片係藉由一組鉅線來電性藕接至該基板上的電性連接墊。

6. 如申請專利範圍第1項之半導體封裝件，其中，該半導體封裝件係為多媒體卡（Multi-Media Card, MMC）。

7. 如申請專利範圍第1項之半導體封裝件，其中，每一基板之置晶區上係分別堆疊設置有兩半導體晶片，且該



六、申請專利範圍

兩半導體晶片係分別與該電性連接墊電性連接。

8. 一種半導體封裝件，其包含：

兩基板，每一基板係均包括一置晶區及複數個設置於該基板上之電性連接墊；

至少兩半導體晶片，係分別安置於該兩基板的置晶區上且與其電性連接墊電性連接；

兩封裝膠體，係分別形成於該兩基板上且包覆該半導體晶片，以分別形成兩封裝單元；以及

外殼體，係將該兩封裝單元收容於其內；

其中，該兩基板之長邊係皆與該外殼體之長邊垂直，且該兩基板之電性連接墊係分別外露出該外殼體之兩相對外表面且呈對稱設置。

9. 如申請專利範圍第8項之半導體封裝件，其中，該外殼體之長寬尺寸大致為32mm*24mm。

10. 如申請專利範圍第8項之半導體封裝件，其中，該基板的長寬尺寸大致為10mm*18mm。

11. 如申請專利範圍第8項之半導體封裝件，其中，該基板之置晶區外係另形成有複數個被動元件安置區。

12. 如申請專利範圍第8項之半導體封裝件，其中，該半導體晶片係藉由一組鐸線來電性藕接至該基板上的電性連接墊。

13. 如申請專利範圍第8項之半導體封裝件，其中，該半導體封裝件係為多媒體卡（Multi-Media Card, MMC）。

14. 如申請專利範圍第8項之半導體封裝件，其中，每一基

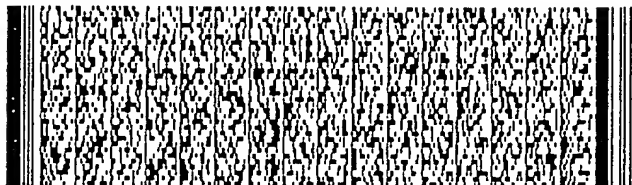


六、申請專利範圍

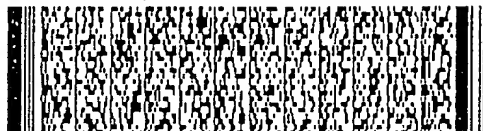
板之置晶區上係分別堆疊設置有兩半導體晶片，且該兩半導體晶片係分別與該電性連接墊電性連接。



第 1/21 頁



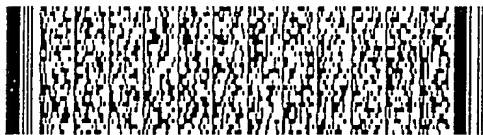
第 2/21 頁



第 3/21 頁



第 4/21 頁



第 5/21 頁



第 5/21 頁



第 6/21 頁



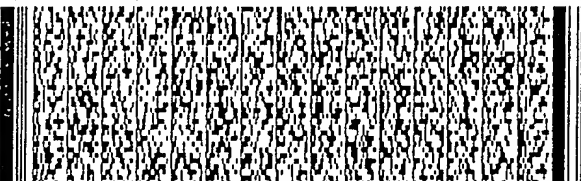
第 7/21 頁



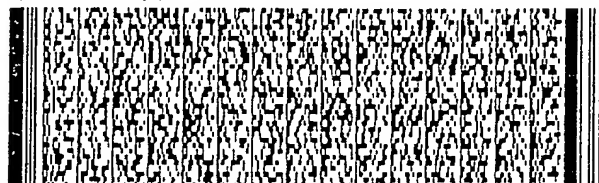
第 8/21 頁



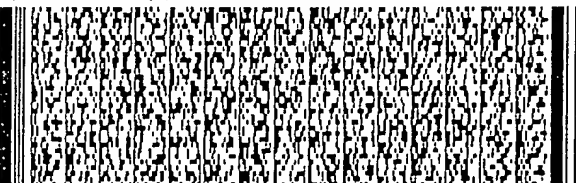
第 9/21 頁



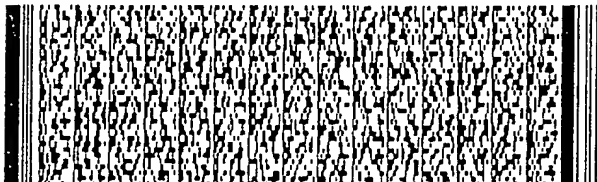
第 9/21 頁



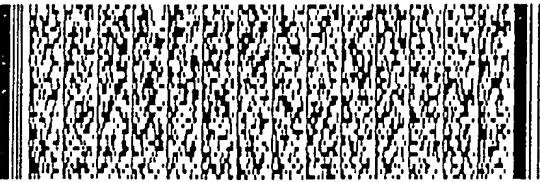
第 10/21 頁



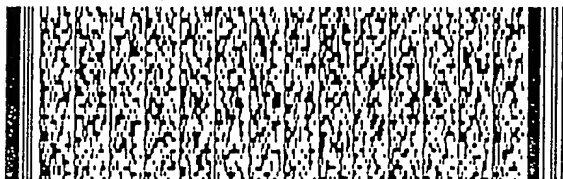
第 10/21 頁



第 11/21 頁



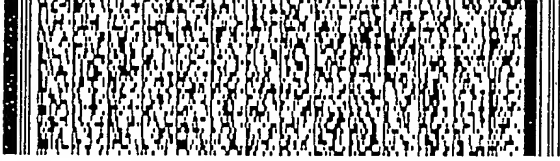
第 11/21 頁



第 12/21 頁



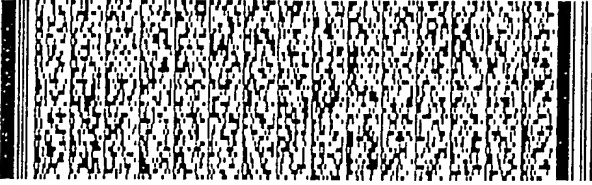
第 12/21 頁



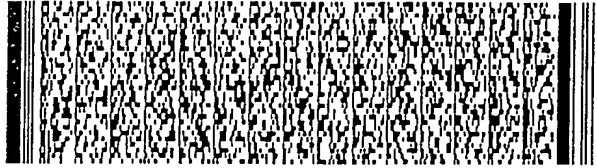
第 13/21 頁



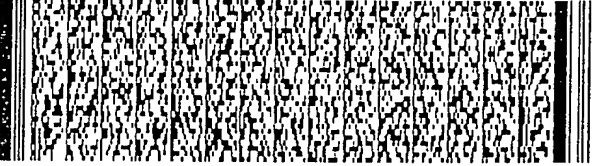
第 13/21 頁



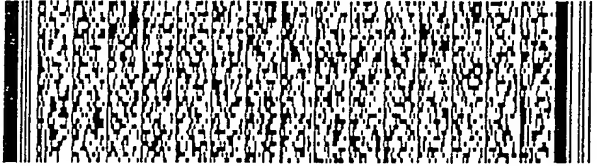
第 14/21 頁



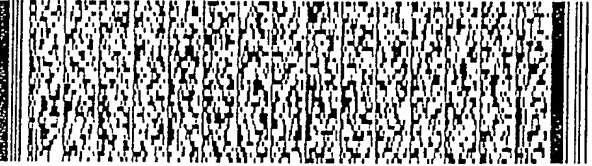
第 14/21 頁



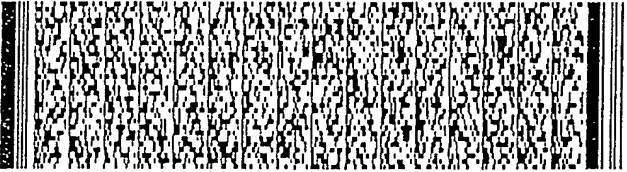
第 15/21 頁



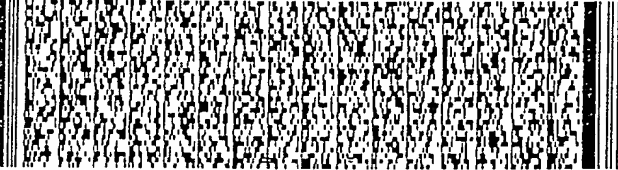
第 15/21 頁



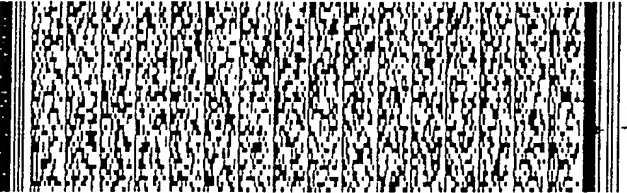
第 16/21 頁



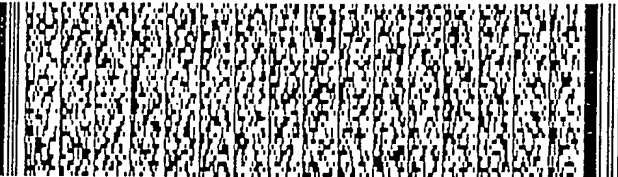
第 16/21 頁



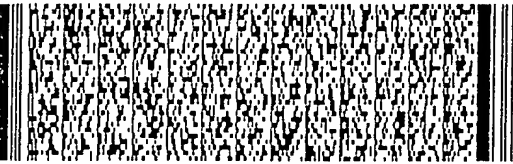
第 17/21 頁



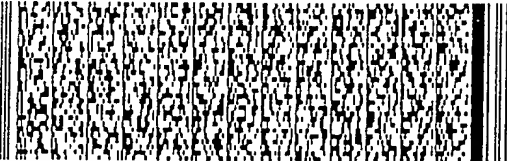
第 18/21 頁



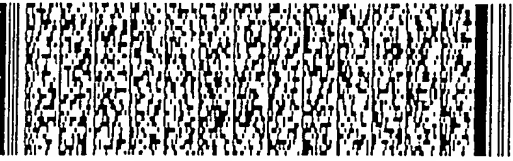
第 19/21 頁



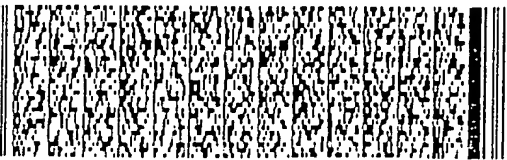
第 19/21 頁



第 20/21 頁

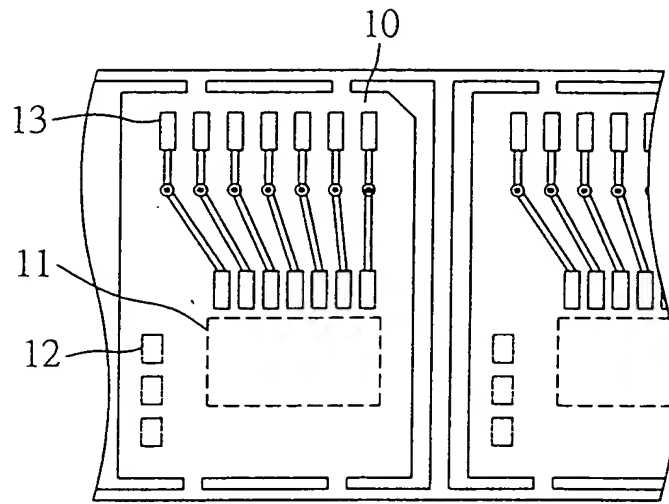


第 20/21 頁

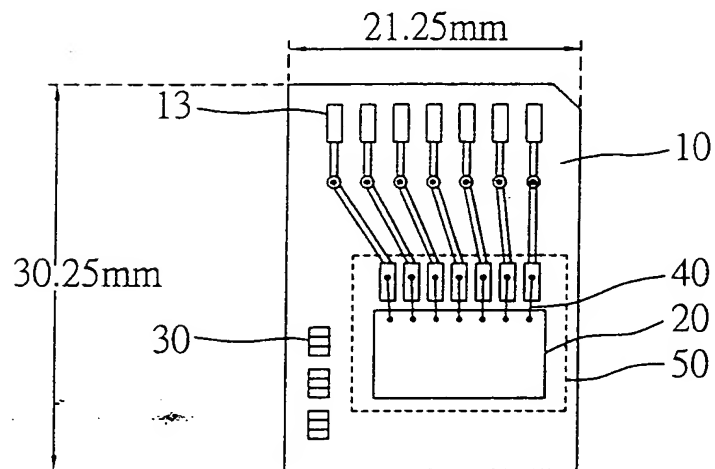


第 21/21 頁

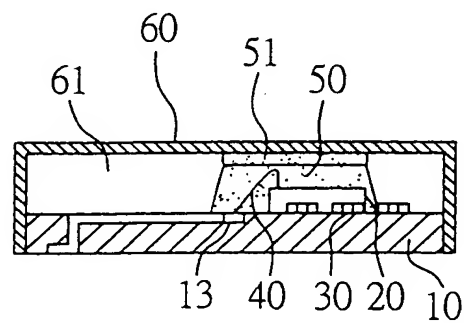




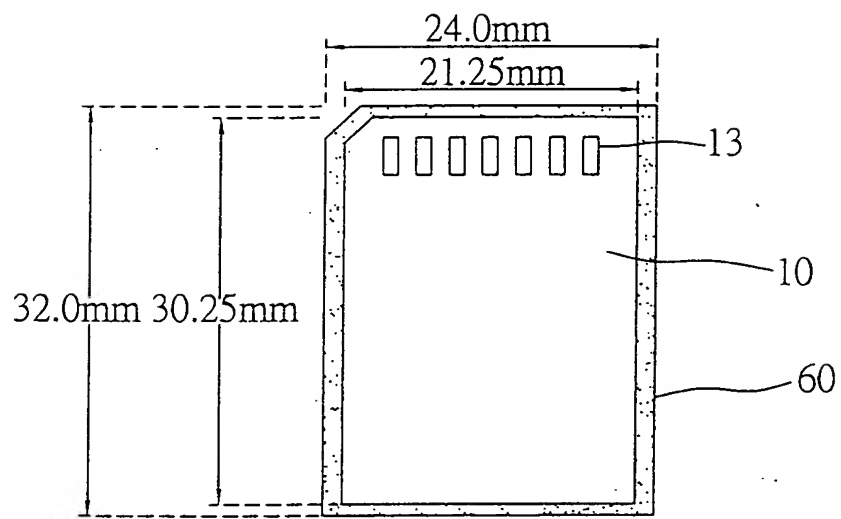
第 1A 圖 (先前技術)



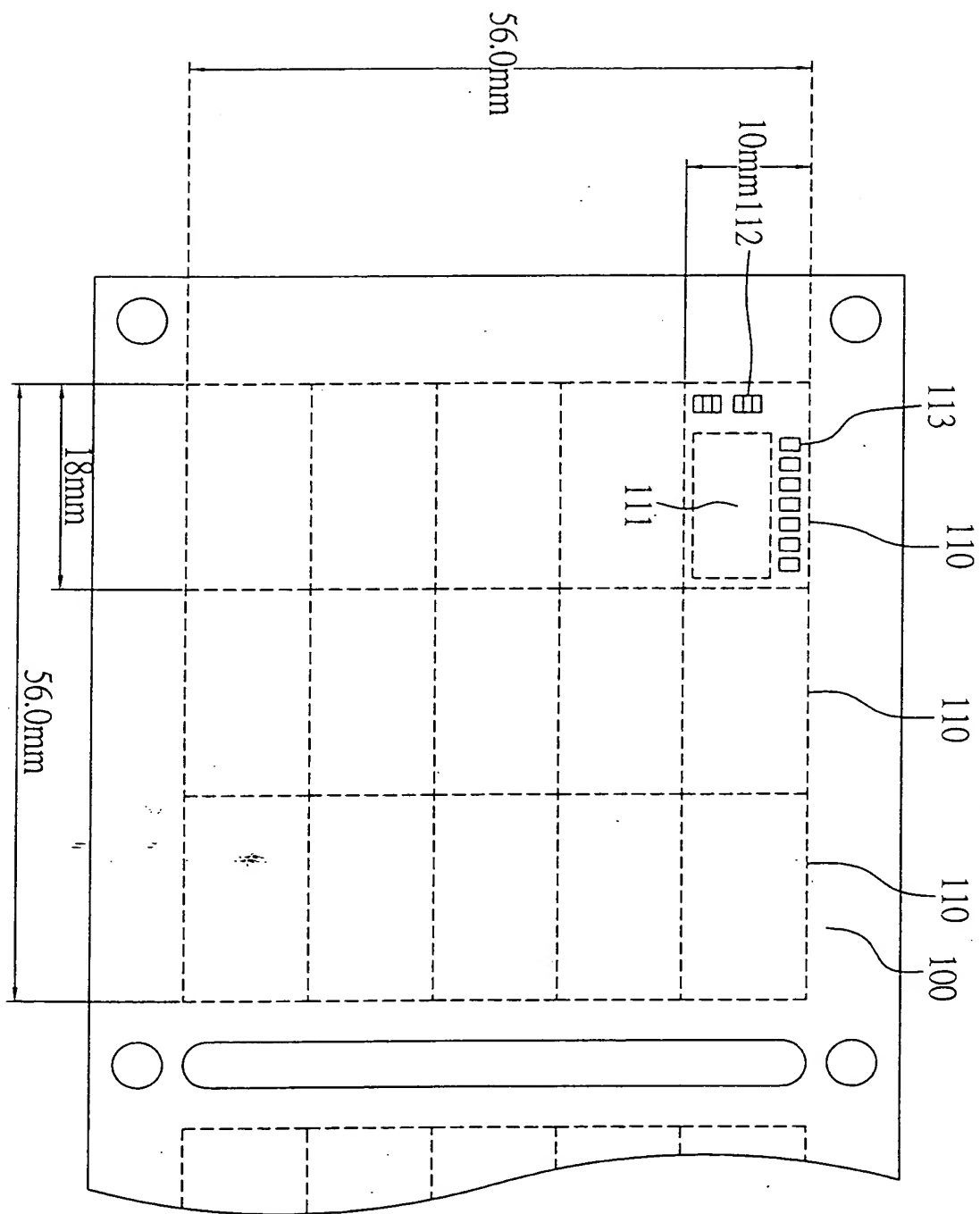
第 1B 圖 (先前技術)



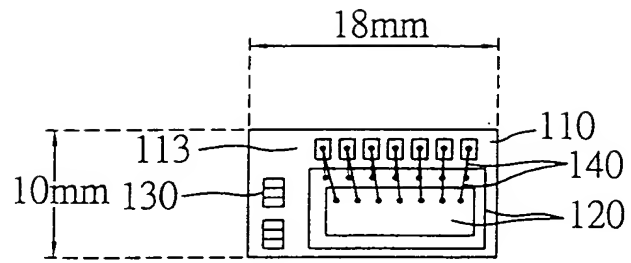
第 1C 圖 (先前技術)



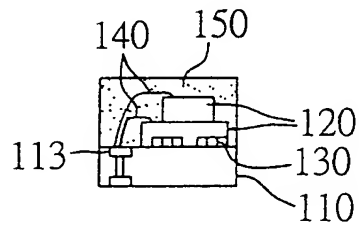
第 1D 圖 (先前技術)



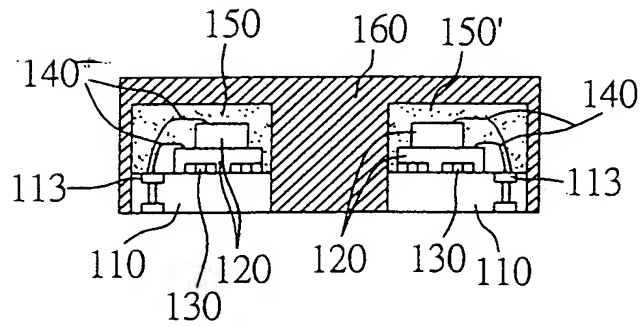
第 2A 圖



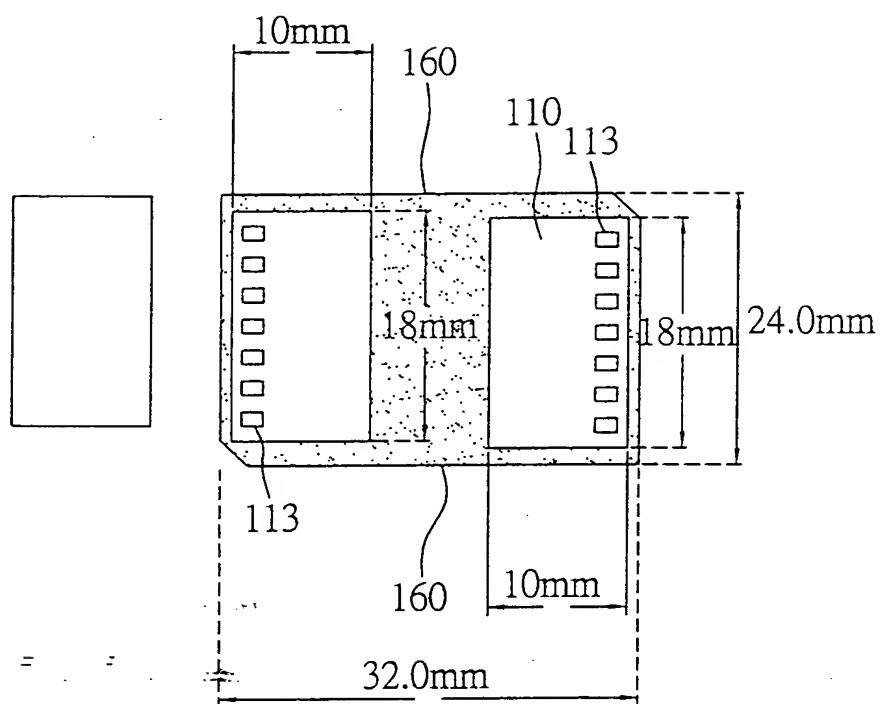
第 2B 圖



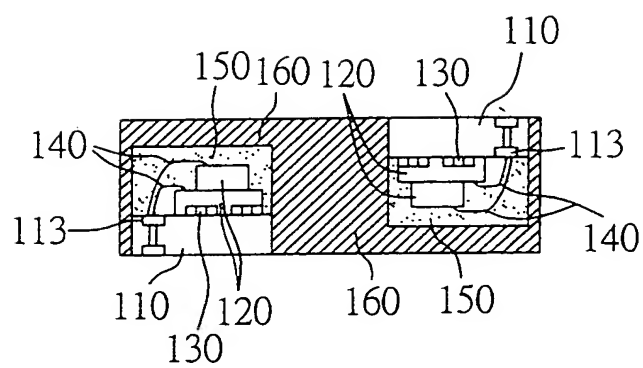
第 2C 圖



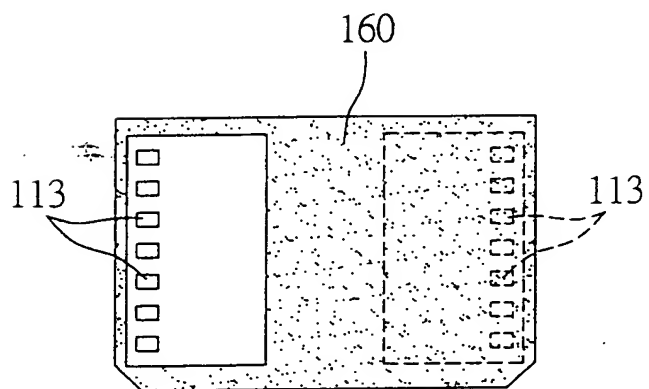
第 2D 圖 (代表圖)



第 2 E 圖



第 3A 圖



第 3B 圖